

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

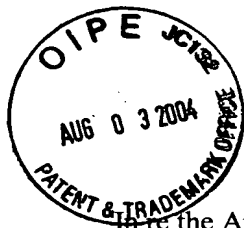
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Satoshi INOUE

Group Art Unit: 2811

Application No.: 10/814,169

Filed: April 1, 2004

Docket No.: 119330

For: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE, INTEGRATED
CIRCUIT, ELECTRO-OPTICAL DEVICE, AND ELECTRONIC APPARATUS

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2003-107071, filed April 10, 2003.

In support of this claim, a certified copy of said original foreign application:

☒ is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Michael Britton
Registration No. 47,260

JAO:MB/can

Date: August 3, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE
AUTHORIZATION
Please grant any extension
necessary for entry;
Charge any fee due to our
Deposit Account No. 15-0461

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 0 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 0 7 0 7 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 0 7 0 7 1]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 4 年 3 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

出証番号 出証特 2 0 0 4 - 3 0 2 0 6 7 6

【書類名】 特許願

【整理番号】 J0095091

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/20

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 井上 聡

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100079108

 【弁理士】

 【氏名又は名称】 稲葉 良幸

【選任した代理人】

 【識別番号】 100080953

 【弁理士】

 【氏名又は名称】 田中 克郎

【選任した代理人】

 【識別番号】 100093861

 【弁理士】

 【氏名又は名称】 大賀 眞司

【手数料の表示】

 【予納台帳番号】 011903

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9808570

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、集積回路、電子光学装置及び電子機器

【特許請求の範囲】

【請求項 1】

第 1 基板上に剥離層を形成する剥離層形成工程と、
前記剥離層上に絶縁膜を形成する絶縁膜形成工程と、
前記絶縁膜に複数の微細孔を形成する微細孔形成工程と、
前記絶縁膜上及び前記微細孔内に半導体膜を形成する成膜工程と、
前記半導体膜を熱処理によって熔融結晶化させて、前記微細孔のそれぞれを略中心とする略単結晶の結晶粒を含んでなる結晶性半導体膜を形成する結晶化工程と、
前記結晶性半導体膜のそれぞれを用いて半導体素子を形成する素子形成工程と、
前記剥離層の層内及び／又は界面において剥離を生じさせて、前記半導体素子を前記第 1 基板から離脱させ、前記半導体素子を第 2 基板へ転写する転写工程と、
を含む半導体装置の製造方法。

【請求項 2】

前記転写工程は、
前記第 1 基板上の前記半導体素子を前記第 2 基板に接合する接合工程と、
前記剥離層にエネルギーを付与して当該剥離層の層内及び／又は界面に剥離を生じさせる剥離工程と、
前記第 1 基板を前記第 2 基板から離脱させる離脱工程と、
を含む請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記転写工程は、
前記第 1 基板上の前記半導体素子を仮転写基板に接合する第 1 の接合工程と、
前記剥離層の層内及び／又は界面に剥離を生じさせる第 1 の剥離工程と、
前記第 1 基板を前記仮転写基板から離脱させる第 1 の離脱工程と、

前記仮転写基板上の前記半導体素子を前記第 2 基板に接合する第 2 の接合工程と、

前記仮転写基板を前記第 2 基板から離脱させる第 2 の離脱工程と、
を含む請求項 1 に記載の半導体装置の製造方法。

【請求項 4】

前記剥離層に対するエネルギーの付与をレーザ照射によって行う、請求項 2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】

前記第 1 基板は、少なくとも半導体ウェハを処理可能な半導体プロセスに使用可能な大きさ、形状及び耐熱性のうち少なくとも一つを有する、請求項 1 乃至 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】

前記半導体プロセスは、L S I 製造プロセスである、請求項 5 に記載の半導体装置の製造方法。

【請求項 7】

前記第 1 基板は、ウェハサイズに形成されている、請求項 5 又は 6 に記載の半導体装置の製造方法。

【請求項 8】

前記第 1 基板の表面粗さを $10\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下とする、請求項 1 乃至 7 のいずれかに記載の半導体装置の製造方法。

【請求項 9】

前記素子形成工程は、一の前記結晶性半導体膜を用いて前記半導体素子を複数形成する、請求項 1 乃至 8 のいずれかに記載の半導体装置の製造方法。

【請求項 10】

複数の前記半導体素子が単位回路を構成する、請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記転写工程は、前記第 1 基板上に形成された複数の前記半導体素子のうちで、転写対象とする前記半導体素子のみを選択的に前記第 1 基板から前記第 2 基板

へ転写する、請求項 1 乃至 10 のいずれかに記載の半導体装置の製造方法。

【請求項 12】

前記転写工程は、転写対象とする前記半導体素子を複数の前記結晶性半導体膜のそれぞれ毎に対応して選択する、請求項 11 に記載の半導体装置の製造方法。

【請求項 13】

前記第 1 基板上に形成された前記半導体素子及び前記剥離層を前記結晶性半導体膜ごとに分割する分割工程を更に含む、請求項 12 に記載の半導体装置の製造方法。

【請求項 14】

請求項 1 乃至 13 のいずれかに記載の半導体装置の製造方法によって製造された半導体装置を備える電気光学装置。

【請求項 15】

請求項 1 乃至 13 のいずれかに記載の半導体装置の製造方法によって製造された半導体装置を備える集積回路。

【請求項 16】

請求項 1 乃至 13 のいずれかに記載の半導体装置の製造方法によって製造された半導体装置を備える回路基板。

【請求項 17】

請求項 1 乃至 13 のいずれかに記載の半導体装置の製造方法によって製造された半導体装置を備える電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子及びその製造方法に関し、特に、略単結晶の半導体膜を用いた性能の良い半導体素子を大型基板上に形成する技術に関する。

【0002】

【従来の技術】

これまで、多結晶珪素薄膜トランジスタ（p-SiTFT）に代表される薄膜半導体装置を比較的低温にて製造する方法として、非晶質珪素膜をレーザで熱処

理し多結晶珪素膜を形成し、この多結晶珪素膜を半導体膜としてゲート電極、金属薄膜にて配線を形成して薄膜半導体装置を製造する方法が提案されていた。しかしこの方法では、レーザ光のエネルギー制御が難しく、製造される半導体膜の性質にばらつきが生じるため、これに代わり、このような問題の生じない略単結晶珪素膜を成長させる技術が提案されていた。このような技術は、例えば、文献「Single Crystal Thin Film Transistors ; IBM TECHNICAL DISCLOSURE BULLETIN Aug. 1993 pp257-258」(非特許文献 1) や、文献「Advanced Excimer-Laser Crystallization Techniques of Si Thin-Film For Location Control of Large Grain on Glass ; R. Ishihara et al. , proc.SPIE 2001, vol.4295 p.14~23」(非特許文献 2) などの文献に記載されている。

【 0 0 0 3 】

これら文献には、基板上の絶縁膜に微細孔(グレインフィルタ)を開けて、この絶縁膜上及び微細孔内に非晶質珪素膜を形成した後、この非晶質珪素膜にレーザを照射して、上記微細孔の底部内の非晶質珪素を非熔融状態に保持しながら、その他の部分の非晶質珪素膜を熔融状態にすることにより、非熔融状態に保持された非晶質珪素を結晶核とした結晶成長を生じさせて、略単結晶状態の珪素膜を形成することが開示されている。

【 0 0 0 4 】

【非特許文献 1】

「Single Crystal Thin Film Transistors」, IBM TECHNICAL DISCLOSURE BULLETIN Aug. 1993 pp257-258

【非特許文献 2】

「Advanced Excimer-Laser Crystallization Techniques of Si Thin-Film For Location Control of Large Grain on Glass」, R. Ishihara et al. , proc.SPIE 2001, vol.4295, p.14~23

【発明が解決しようとする課題】

上述した略単結晶珪素膜の形成技術を適用する場合には、半導体膜の熔融結晶化の起点となる上記微細孔を基板上に多数形成することが必要となる。しかし、このような多数の微細な穴を均質に、かつ効率よく形成することはそれほど容易

なことではない。この不都合は基板が大面積化するほど特に顕著となる。また、薄膜トランジスタはより微細化を進めることが望まれているが、基板が大型化するほど微細加工は容易ではなくなるという不都合もある。

【0005】

そこで、本発明は、微細かつ高性能な薄膜半導体素子を大面積の基板に容易に形成することを可能とする技術を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記課題を解決するために、本発明の半導体装置の製造方法は、第1基板上に剥離層を形成する剥離層形成工程と、剥離層上に絶縁膜を形成する絶縁膜形成工程と、絶縁膜に複数の微細孔を形成する微細孔形成工程と、絶縁膜上及び微細孔内に半導体膜を形成する成膜工程と、半導体膜を熱処理によって熔融結晶化させて、微細孔のそれぞれを略中心とする略単結晶の結晶粒を含んでなる結晶性半導体膜を形成する結晶化工程と、結晶性半導体膜のそれぞれを用いて半導体素子を形成する素子形成工程と、剥離層の層内及び／又は界面において剥離を生じさせて、半導体素子を前記第1基板から離脱させ、半導体素子を第2基板へ転写する転写工程と、を含む。

【0007】

かかる方法では、第1基板上に結晶性半導体膜を成膜し、当該半導体膜を用いた半導体素子を形成した後に、当該半導体素子が第2基板（最終基板）上に転写（移動）される。これにより、第1基板については、結晶性半導体膜の成膜やその後の素子形成に都合のよい条件（形状、大きさ、物理的特性等）を備えた基板を用いることができるので、当該第1基板上に微細かつ高性能な半導体素子を形成することが可能となる。また、第2基板については、素子形成プロセス上の制約を受けることがなく、大面積化が可能となると共に、合成樹脂やソーダガラス等からなる安価な基板や可撓性を有するプラスチックフィルム等、幅広い選択肢から所望のものをを用いることが可能となる。したがって、微細かつ高性能な薄膜半導体素子を大面積の基板に容易に（低コストに）形成することが可能となる。

【0008】

なお、本発明において「略単結晶」とは、結晶粒が単一である場合のみならずこれに近い状態、すなわち、複数の結晶が組合わさっていてもその数が少なく、半導体薄膜の性質の観点からほぼ単結晶により形成された半導体薄膜と同等の性質を備えている場合も含む。また「半導体素子」とは、本発明に係る結晶性半導体膜を用いて構成される素子一般をいい、トランジスタ、ダイオード、抵抗、インダクタ、キャパシタ、その他能動素子、受動素子を含む。当該半導体素子は、結晶性半導体膜の微細孔を含まない部分を使用して形成すると更に好適である。微細孔近傍では結晶性が若干劣る部分が形成される場合があるため、この部分を含まないようにして半導体素子を形成することにより、特性を更なる向上を図ることが可能となる。

【0009】

上述した転写工程は、第1基板上の半導体素子を第2基板に接合する接合工程と、剥離層にエネルギーを付与して当該剥離層の層内及び／又は界面に剥離を生じさせる剥離工程と、第1基板を第2基板から離脱させる離脱工程と、を含むことが好ましい。これにより、素子転写を容易かつ確実に行うことが可能となる。

【0010】

また、転写工程は、第1基板上の半導体素子を仮転写基板に接合する第1の接合工程と、剥離層の層内及び／又は界面に剥離を生じさせる第1の剥離工程と、第1基板を仮転写基板から離脱させる第1の離脱工程と、仮転写基板上の半導体素子を第2基板に接合する第2の接合工程と、仮転写基板を第2基板から離脱させる第2の離脱工程と、を含むことも好ましい。この場合には、第1基板上に形成された半導体素子の構造的な上下関係が第2基板上に再現されるので、素子構造の設計や製造プロセスに関して、従来の手法をほぼ変更なく使用することが可能となり都合がよい。

【0011】

好ましくは、剥離層に対するエネルギーの付与はレーザ照射によって行われる。これにより、エネルギー付与を効率よく行うことが可能となる。

【0012】

また、第1基板は、少なくとも半導体ウェハを処理可能な半導体プロセスに使

用（適用）可能な大きさ、形状及び耐熱性のうち少なくとも一つを有するものを用いることが好ましい。上述したように本発明では、第1基板を第2基板とは無関係に選択することが可能でありその自由度が高いため、既存の半導体プロセスを使用可能なように第1基板を構成することが可能となる。これにより、高温処理や微細加工等が可能となり、信頼性が高く高性能の半導体素子を形成することが可能となる。一般に、このような第1基板は高価となる場合が多いが、本発明においては第1基板を繰り返し再利用することにより製造コストの上昇を回避できるので、石英ガラス等の高価な材料を用いることが可能となる。また、半導体プロセスを適用することにより、半導体素子の微細化が容易となる。半導体プロセスとしては、特にLSI製造プロセスを適用することが好適である。

【0013】

また、第1基板は、ウェハサイズに形成されていることが望ましい。ここで「ウェハサイズ」とは、通常の半導体プロセスに用いられる半導体ウェハと略同一の形状、厚み、大きさ等を有することを意味する。これにより、既存の半導体プロセスに、本発明にかかる第1基板を容易に適用することが可能となる。

【0014】

また、第1基板はその表面粗さが $10\mu\text{m}$ 以上 $30\mu\text{m}$ 以下のものを使用することが望ましい。これにより、半導体素子の微細加工が更に容易となる。

【0015】

上述した素子形成工程は、一の結晶性半導体膜を用いて半導体素子を複数形成することが望ましい。この場合に、当該半導体素子のそれぞれは、結晶性半導体膜の相互間に存在する結晶粒界を含まないように形成するとよい。更には、熔融結晶化の起点となる微細孔の近傍の結晶性半導体膜を含まないように半導体素子を形成すると好適である。これにより、結晶粒界等の影響のない高性能な半導体素子を得ることができる。なお、一の結晶性半導体膜を用いて一の半導体素子を形成してもよく、複数の結晶性半導体膜を用いて一の半導体素子を形成してもよい。

【0016】

また、複数の半導体素子の相互間に適宜配線を設けて、これらの半導体素子を

含む単位回路を構成することが好ましい。ここで「単位回路」とは、例えば、相補型回路（CMOS回路）や、有機EL表示装置等の電気光学装置における画素回路など、少なくとも2つ以上の半導体素子を含み所定の機能を有する最小単位の回路をいう。これにより、微細な薄膜回路を、このような回路の形成が困難な第2基板上に高密度に形成することが可能となる。

【0017】

上述した転写工程は、第1基板上に形成された複数の半導体素子のうちで、転写対象とする半導体素子のみを選択的に第1基板から第2基板へ転写することも好適である。これにより、第1基板上に集中的に（高密度に）形成した半導体素子のそれぞれを第2基板上の所望位置へ分散して転写することが可能となる。したがって、素子製造時における面積効率を大幅に向上し、製造コストの低減が可能となる。

【0018】

また、転写工程において、上述したように選択的な素子転写を行う場合に、その転写対象体（被転写体）は、複数の結晶性半導体膜のそれぞれ毎に対応して選択することも好適である。これにより、結晶性半導体膜のそれぞれの範囲内に形成される半導体素子を単位として転写対象とすることができる。特に、かかる範囲内に単位回路を形成した場合に好適である。なお、被転写体は個々の素子毎に選択してもよく、複数の素子を1単位としても選択してもよく、上述した単位回路ごとに選択してもよい。

【0019】

また、結晶性半導体膜の形成範囲に対応した選択的な素子転写を行う場合には、第1基板上に形成された半導体素子及び剥離層を結晶性半導体膜の形成範囲ごとに分割する分割工程を更に含むことが好ましい。これにより、被転写体の相互間の分離がより確実となり、素子転写を良好に行うことが可能となる。また、更に好ましくは、結晶性半導体膜の相互間の結晶粒界に沿って分割を行うとよい。結晶粒界の部分は素子形成に用いない場合が多いので、かかる無駄な領域を利用して被転写体の相互間の分離が可能となり、結晶性半導体膜の素子形成可能な部分をより多く確保することが可能となる。

【0020】

上述した結晶化工程は、微細孔以外の領域にある半導体膜を略完全熔融状態にすると共に、微細孔内の半導体膜を部分熔融状態にする条件にして上記熔融結晶化を行うことが好ましい。かかる条件により、熔融結晶化をより良好に行うことができる。このような熱処理はレーザ照射によって行うことが好適である。用いるレーザとしては、エキシマレーザ、固体レーザ、ガスレーザなど種々のものが考えられる。

【0021】

また、本発明は、上述した製造方法を適用して製造される半導体装置でもある。更に、本発明は、上記半導体装置を備える集積回路でもあり、回路基板でもあり、電気光学装置であり、また電子機器でもある。

【0022】

ここで「集積回路」とは、一定の機能を奏するように半導体装置及び関連する配線等が集積され配線された回路をいう。また「回路基板」とは、一方面及び／又は他方面に複数の半導体素子を有し、必要に応じて半導体素子の相互間を接続する配線等も有する基板をいい、例えば、有機EL表示装置等の表示装置に用いられるアクティブマトリクス基板が挙げられる。本発明によれば、基板上の多数の画素毎にTFT等の微小な半導体素子を効率よく分散配置することができるので、大面積の回路基板を低コストに製造することが可能となる。

【0023】

ここで「電気光学装置」とは、本発明に係る半導体装置を備えた、電気的作用によって発光するあるいは外部からの光の状態を変化させる電気光学素子を備えた装置一般をいい、自ら光を発するものと外部からの光の通過を制御するもの双方を含む。例えば、電気光学素子として、液晶素子、電気泳動粒子が分散した分散媒体を有する電気泳動素子、EL（エレクトロルミネッセンス）素子、電界の印加により発生した電子を発光板に当てて発光させる電子放出素子を備えたアクティブマトリクス型の表示装置等をいう。

【0024】

ここで「電子機器」とは、本発明に係る半導体装置を備えた一定の機能を奏す

る機器一般をいい、例えば電気光学装置やメモリを備えて構成される。その構成に特に限定が無いが、例えば、I C カード、携帯電話、ビデオカメラ、パーソナルコンピュータ、ヘッドマウントディスプレイ、リア型またはフロント型のプロジェクター、さらに表示機能付きファックス装置、デジタルカメラのファインダ、携帯型 T V、D S P 装置、P D A、電子手帳、電光掲示盤、宣伝公告用ディスプレイ等が含まれる。

【 0 0 2 5 】

【発明の実施の形態】

以下に、本発明の実施の形態を、図面を参照しながら説明する。

【 0 0 2 6 】

<第 1 の実施形態>

図 1 ～図 4 は、第 1 の実施形態の半導体装置の製造方法を説明する図である。

【 0 0 2 7 】

(剥離層形成工程)

図 1 (a) に示すように、転写元基板となるべき第 1 基板 1 0 上に剥離層 (光吸収層) 1 2 を形成する。

【 0 0 2 8 】

第 1 基板 1 0 は、少なくとも半導体ウェハを処理可能な半導体プロセスに適用可能な大きさ、形状及び耐熱性を有し、信頼性の高い材料で構成されていることが好ましい。その理由は、例えば、被転写体となる素子等を形成する際に、その種類や形成方法によってはプロセス温度が高くなる (例えば 3 5 0 ℃ ～ 1 0 0 0 ℃ 程度) ことがあるが、その場合でも、第 1 基板 1 0 が耐熱性に優れていれば、第 1 基板 1 0 上への素子の形成に際し、その温度条件等の成膜条件の設定の幅が広がるからである。このような耐熱性を備える第 1 基板 1 0 を用いることにより高温処理が可能となり、第 1 基板 1 0 上に、信頼性が高く高性能の素子や回路を製造することができる。

【 0 0 2 9 】

具体的には、第 1 基板 1 0 は、素子の形成の際の最高温度を T_{max} としたとき、歪点が T_{max} 以上の材料で構成されているものが好ましい。すなわち、第 1 基

板 10 の構成材料は、歪点が 350℃ 以上のものが好ましく、500℃ 以上のものがより好ましい。このようなものとしては、例えば、石英ガラス、コーニング 7059、日本電気ガラス OA-2 等の耐熱性ガラスが挙げられる。第 1 基板 10 の厚さは、特に限定されないが、通常は、0.1mm～5.0mm 程度であるのが好ましく、0.5mm～1.5mm 程度であるのがより好ましい。また、第 1 基板は、表面粗さが 10 μ m～30 μ m 程度のものであることが好ましい。

【0030】

また、第 1 基板 10 は、その大きさ、形状については、一般的な半導体ウェハ（シリコンウェハ等）と略同サイズに形成されていると更に好ましい。また、上記半導体プロセスは LSI 製造プロセスであることが好ましい。これらの条件を採用することにより、後述する素子形成工程において、半導体ウェハを用いる場合と同様の微細加工を行って素子を形成することが可能となる。

【0031】

また、第 1 基板 10 は、光が透過し得る透光性を有するものであることが好ましい。これにより、第 1 基板 10 を介して剥離層 12 に光を照射することができ、当該光照射によって迅速かつ正確に剥離層 12 の層内及び／又は界面に剥離を生じさせることができる。この場合、第 1 基板 10 の光の透過率は 10% 以上であるのが好ましく、50% 以上であるのがより好ましい。この透過率が高い程光の減衰（ロス）がより少なくなり、剥離層 12 を剥離するのにより小さな光量で済むからである。

【0032】

このように第 1 基板 10 には数々の条件があるが、当該第 1 基板 10 は最終製品となるべき基板とは異なり、繰り返し利用することが可能であるため、比較的高価な材料を用いても繰り返し使用によって製造コストの上昇を少なくすることが可能である。

【0033】

剥離層 12 は、光照射などの方法によって外部からエネルギーを付与された際に、その層内及び／又は界面において剥離（以下、「層内剥離」、「界面剥離」と言う。）を生じるような性質を有するものであり、更に好ましくは、光照射に

より、剥離層 12 を構成する物質の原子間または分子間の結合力が消失または減少すること、すなわち、アブレーションが生じて層内剥離および／または界面剥離に至るものを用いるとよい。さらに、光の照射により、剥離層 12 から気体が放出され、分離効果が発現される場合もある。すなわち、剥離層 12 に含有されていた成分が気体となって放出される場合と、剥離層 12 が光を吸収して一瞬気体になり、その蒸気が放出され、分離に寄与する場合とがある。このような剥離層 12 としては、例えば、(A) アモルファスシリコン、(B) 各種酸化物セラミックスや強誘電体、(C) セラミックスあるいは誘電体（強誘電体）、(D) 窒化物セラミックス、(E) 有機高分子材料、(F) 金属、など各種のものを採用することが可能である。かかる剥離層 12 の形成方法は、特に限定されず、膜組成や膜厚等の諸条件に応じて適宜選択される。

【0034】

本実施形態では、剥離層 12 としてアモルファスシリコンを用いる。このアモルファスシリコン中には、水素 (H) が含有されていてもよい。この場合、H の含有量は、2 原子%以上程度であるのが好ましく、2～20 原子%程度であるのがより好ましい。なお、剥離層を多層膜からなるものとすることもできる。多層膜は、例えばアモルファスシリコン膜とその上に形成された金属膜とからなるものとすることができる。多層膜の材料として、上記したセラミックス、金属、有機高分子材料の少なくとも一種から構成することもできる。

【0035】

(絶縁膜形成工程)

次に、図 1 (b) に示すように、剥離層 12 上に絶縁膜 14 を形成する。本実施形態では、絶縁膜 14 として酸化珪素膜を用いるが、他のもの（例えば窒化珪素膜など）を用いることも可能である。酸化珪素膜の形成方法としては、プラズマ化学気相堆積法 (PECVD 法) や低圧化学気相堆積法 (LPCVD 法)、あるいはスパッタリング法等の物理気相堆積法が挙げられる。例えば、PECVD 法により厚さ数 100 nm の酸化珪素膜を形成する。

【0036】

(微細孔形成工程)

次に、図 1 (c) に示すように、絶縁膜 14 に複数の微細孔 16 を形成する。例えば、フォトリソグラフィ工程およびエッチング工程を行うことにより、絶縁膜 14 の面内の所定位置に微細孔 16 を形成する。上記エッチング方法としては、例えば CHF_3 ガスのプラズマを用いた反応性イオンエッチングを採用することができる。微細孔 16 の孔径は $50\text{ nm} \sim 200\text{ nm}$ 程度とすることが好適である。また、微細孔 16 は円筒状に形成することが好適であるが、円筒状以外の形状（例えば、円錐状、角柱状、角錐状など）としてもよい。また、比較的径の大きい孔（例えば 500 nm 程度）を形成した後に基板全面に新たな絶縁膜（本例では酸化珪素膜）を堆積して上記孔の径を狭めることにより、微細孔 16 を形成するようにしてもよい。

【0037】

（成膜工程）

次に、図 1 (d) に示すように、絶縁膜 14 上及び微細孔 16 内に半導体膜 18 を形成する。本実施形態では半導体膜として非晶質又は多結晶の珪素膜を形成する。珪素膜は、LPCVD 法などの成膜法によって $30\text{ nm} \sim 100\text{ nm}$ 程度の膜厚に形成することが好適である。

【0038】

（熔融結晶化工程）

次に、図 2 (a) に示すように、半導体膜 18 を熱処理によって熔融結晶化させる。本工程における熱処理は、レーザ照射により行うことが好ましい。例えば、半導体膜 18 として非晶質又は多結晶の珪素膜を形成した場合には、XeCl パルスエキシマレーザ（波長 308 nm 、パルス幅 30 nsec ）を用い、エネルギー密度： $0.4\text{ J/cm}^2 \sim 1.5\text{ J/cm}^2$ でレーザ照射を行うことが好適である。この場合に、照射された XeCl パルスエキシマレーザは非晶質（又は多結晶）珪素膜の表面近傍でほとんどが吸収される。これは XeCl パルスエキシマレーザの波長（ 308 nm ）における非晶質珪素および多結晶珪素の吸収係数がそれぞれ 0.139 nm^{-1} と 0.149 nm^{-1} と大きいためである。また、絶縁膜 14 としての酸化珪素膜は、上記レーザに対して略透明であってこのレーザのエネルギーを吸収しないため、レーザ照射によって熔融しない。これによ

り、微細孔 1 6 以外の領域にある非晶質珪素膜は、膜厚方向全域に渡ってほぼ完全に溶解した状態となる。また、微細孔 1 6 内にある非晶質珪素膜は表面近傍が溶解し、かつ微細孔 1 6 の底部近傍では溶解しない状態（部分溶解状態）となる。

【 0 0 3 9 】

レーザ照射後の珪素の凝固は、微細孔 1 6 の内部で先に始まり、その後非晶質珪素膜の略完全溶解状態となっている部分（表面側の部分）に至る。このとき、微細孔 1 6 の底部近傍ではいくつかの結晶粒が発生するが、微細孔 1 6 の断面寸法を 1 個の結晶粒と同程度か少し小さい程度にしておくことにより、微細孔 1 6 の上部（開口部）には 1 個の結晶粒のみが到達するようになる。これにより、非晶質珪素膜の略完全溶解状態の部分では微細孔 1 6 の上部に到達した 1 個の結晶粒を核として結晶成長が進行するようになり、図 2（b）に示すように、複数の微細孔 1 6 をそれぞれを略中心とした領域（例えば、数 μm 四方の領域）に、略単結晶状態の結晶粒を含んでなる結晶性半導体膜 2 0 が複数形成される。

【 0 0 4 0 】

図 5 は、結晶性半導体膜 2 0 を上面側から見た平面図である。なお、同図に示す A - A 線断面が上述した図 2（b）に対応している。図 5 に示すように、各結晶性半導体膜 2 0 は、それぞれがブロック状に形成され、結晶粒界 2 2 を挟んで並んでいる。これらの結晶性半導体膜 2 0 は、内部に欠陥が少なく、半導体膜の電気特性の点で、エネルギーバンドにおける禁制帯中央部付近の捕獲準位密度が少なくなる効果が得られる。また、結晶粒界がほぼ存在しないと見なせるために、電子や正孔といったキャリアが流れる際の障壁を大きく減少できる効果が得られる。この結晶性半導体膜 2 0 を用いて半導体素子を形成することにより、特性のよい素子を得ることができる。

【 0 0 4 1 】

（素子形成工程）

次に、図 2（c）に示すように、結晶性半導体膜 2 0 を用いて、トランジスタ、ダイオード、抵抗等の半導体素子を含む被転写層 2 4 を形成する。各結晶性半導体膜 2 0 は、上述したように一辺が数 μm 程度のブロック状に形成されるが、

上述したように本実施形態ではLSI製造プロセスの適用を可能とすべく種々の条件を設定して微細加工を可能としているので、一の結晶性半導体膜20を用いて多くの半導体素子を作り込むことができる。本実施形態では、一の結晶性半導体膜20の範囲内に複数の半導体素子が形成される。また、一の結晶性半導体膜20を用いて形成される複数の半導体素子を適宜組み合わせ、所定の機能を担う単位回路が構成される。これらの場合に、各半導体素子は、各結晶性半導体膜20の相互間に存在する結晶粒界22を含まないように、各結晶性半導体膜20の範囲内に形成される。複数の半導体素子を組み合わせ単位回路を形成する場合には、当該単位回路が一の結晶性半導体膜20の範囲内に収まるようにして、各半導体素子を形成する。

【0042】

図2(d)は、本工程において形成される半導体素子の一例を示している。例えば本実施形態では、薄膜トランジスタTや当該薄膜トランジスタTを複数組み合わせ構成されるCMOS回路等の単位回路が形成される。各薄膜トランジスタTは、結晶性半導体膜20を用いて形成されるソース／ドレイン領域80及びチャネル形成領域82と、ゲート絶縁膜84と、ゲート電極86と、層間絶縁膜88と、ソース／ドレイン電極90とを備える。なお、当該薄膜トランジスタTは、周知の製造方法を適用して製造可能である。

【0043】

(第1の接合工程)

次に、図3(a)に示すように、仮転写基板26上に、保護層28a、光吸収層28b及び接着層28cを積層してなる多層膜28を形成する。次に、図3(b)に示すように、仮転写基板26の接着層28cに第1基板10を重ね合わせ、第1基板10上に形成した被転写層24を、接着層28cを介して仮転写基板26に接合する。

【0044】

ここで、仮転写基板26としては、特に限定されないが、特に光透過性の基板が挙げられる。また、仮転写基板26は、平板であっても湾曲板であってもよい。また、仮転写基板は、第1基板10に比較して、耐熱性、耐食性等の特性が劣

るものであってもよい。その理由は、本実施形態では、第1基板10側に半導体素子を形成し、その後当該半導体素子を仮転写基板26に転写するため、仮転写基板26に要求される特性（特に耐熱性）は、半導体素子の形成時に要求されるプロセス条件（特にプロセス温度）とは無関係になるからである。

【0045】

したがって、半導体素子の形成時の最高温度を T_{\max} としたときに、仮転写基板26の構成材料としては、ガラス転移点（ T_g ）または軟化点が T_{\max} 以下のものを用いることができる。例えば、仮転写基板26は、ガラス転移点又は軟化点が好ましくは 800°C 以下、より好ましくは 500°C 以下、さらに好ましくは 320°C 以下の材料で構成することが可能である。

【0046】

また、仮転写基板26の機械的特性としては、ある程度の剛性（強度）を有するものが好ましいが、可撓性、弾性を有するものであってもよい。このような仮転写基板26の構成材料としては、各種合成樹脂又は各種ガラス材が挙げられ、特に、各種合成樹脂や通常の（低融点の）安価なガラス材が好ましい。合成樹脂としては、熱可塑性樹脂、熱硬化性樹脂のいずれでもよく、例えば、ポリエチレンやポリプロピレンなど各種のものが挙げられる。また、ガラス材としては、例えば、石英ガラス（ケイ酸ガラス）、ケイ酸アルカリガラス、ソーダ石灰ガラスなど各種のものが挙げられる。このうち、ケイ酸ガラス以外のものは、ケイ酸ガラスに比べて融点が低く、また成形、加工も比較的容易であり、しかも安価であるため、仮転写基板26の構成材料として特に好適である。

【0047】

上述した多層膜28を構成する保護膜28aは、当該多層膜28への光照射に際して、光吸収層28bで発生した熱から第2基板26を保護するためのものであり、例えば酸化珪素、窒化珪素等の無機膜や、合成樹脂材料等を用いることができる。また、光吸収層28bは、照射される光を熱に変換することが可能な材料から選択でき、例えば、珪素（シリコン）、金属、カーボンブラック、光重合性モノマー又はオリゴマー等を用いることができる。また、接着層28cは、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌

気硬化型接着剤等の各種硬化型接着剤を用いて構成することが可能である。当該接着剤の組成としては、エポキシ系、アクリレート系、シリコン系等、いかなるものでもよい。

【0048】

(第1の剥離工程)

次に、図3(c)に示すように、第1基板10と仮転写基板26との接合体に対して、第1基板10の裏面側から剥離層12の全面に光照射によるエネルギー付与を行い、剥離層12の層内及び／又は界面に剥離を生じさせる。剥離層12に剥離を生じさせることにより、絶縁膜14及び被転写層24が剥離層12から切り離されて第2基板26上にのみ接合された状態となる。

【0049】

剥離層12の層内剥離及び／又は界面剥離が生じる原理は、剥離層12の構成材料にアブレーションが生じること、また剥離層12に含まれているガスの放出、更には光照射の直後に生じる融解、蒸散等の相変化によるものである。ここで、アブレーションとは、照射光を吸収した固定材料(剥離層12の構成材料)が光化学的又は熱的に励起され、その表面や内部の原子又は分子の結合が切断されて放出することをいい、主に、剥離層12の構成材料の全部又は一部が融解、蒸散(気化)等の相変化を生じる現象として現れる。また、上記相変化によって微小な発泡状態となり、結合力が低下することもある。剥離層12が層内剥離を生じるか、界面剥離を生じるか、或いはその両方であるかは、剥離層12の組成やその他種々の要因に左右されるが、その要因の1つとしては、照射される光の種類、波長、強度、到達深さ等の条件が挙げられる。

【0050】

照射される光としては、例えば、X線、紫外線、可視光線、赤外線(熱線)、レーザー光、ミリ波、マイクロ波、電子線、放射線(α 線、 β 線、 γ 線)等が挙げられる。そのなかでも、剥離層12の剥離(アブレーション)を生じさせやすく、かつ高精度の照射が可能である点から照射光としてレーザー光を用いることが好ましい。レーザー光を発生するレーザー装置としては、各種気体レーザー、固体レーザー(半導体レーザー)等が挙げられるが、エキシマレーザー、Nd-YAGレーザー、A

r レーザ、C o₂ レーザ、H e - N e レーザ等が好適に用いられる。

【0051】

レーザ光の波長は、100 nm ~ 350 nm 程度の短波長であることが好ましい。特に、エキシマレーザは、短波長域で高エネルギーを出力するため、極めて短時間で剥離層 12 にアブレーションを生じさせることが可能であるため好適に用いられる。あるいは、剥離層 12 に、例えばガス放出、気化、昇華等の相変化を起こさせて分離特性を与える場合には、レーザ光の波長を 350 nm ~ 1200 nm 程度にすることが好ましい。このような波長のレーザは、YAG、ガスレーザなどの一般加工分野で広く使用されるレーザ光源や照射装置を用いることが可能であり、光照射を低コストかつ簡単に行うことができる。また、このような可視光領域の波長のレーザ光を用いることによって、第 1 基板 10 が可視光透光性であればよく、第 1 基板 10 の選択の自由度を広げることができる。

【0052】

照射されるレーザ光のエネルギー密度は、例えばエキシマレーザを用いた場合には、10 mJ / cm² ~ 5000 mJ / cm² 程度とすることが好ましく、10 ~ 500 mJ / cm² 程度とすることがより好ましい。また、照射時間は、1 nsec ~ 1000 nsec 程度とすることが好ましく、10 nsec ~ 100 nsec 程度とすることがより好ましい。エネルギー密度が低いか又は照射時間が短いと、十分なアブレーション等が生じず、また、エネルギー密度が高いか又は照射時間が長いと、剥離層 12 を透過した照射光により被転写層 24 に含まれる半導体素子に悪影響を及ぼす場合がある。

【0053】

(第 1 の離脱工程)

次に、図 3 (d) に示すように、第 1 基板 10 を仮転写基板 26 から離脱させ、その後、絶縁膜 14 上に熱融着接着剤を含む熱融着シート 30 を貼り付ける。このとき、仮転写基板 26 側に転写された絶縁膜 14 及び／又は被転写層 24 には、剥離層 12 の剥離残分が付着している場合があり、これを完全に取り除くことが望ましい。残存している剥離層 12 を除去する方法は、例えば洗浄、エッチング、アッシング、研磨等の方法や、これらの方法を組み合わせた方法の中から

適宜選択することができる。更に、被転写層 2 4 の転写を終えた第 1 基板 1 0 の表面に剥離層 1 2 の剥離残分が付着している場合においても、上記と同様の方法により当該剥離残分を除去することができる。これによって、第 1 基板 1 0 を再利用（リサイクル）に供することができる。このように、第 1 基板 1 0 を再利用することにより、製造コストの無駄を省くことができる。かかる利点は、石英ガラスのような高価な材料、希少な材料からなる第 1 基板 1 0 を用いる場合には特に有効である。

【 0 0 5 4 】

上述した熱融着シート 3 0 としては、ポリオレフィン系樹脂（ポリエチレン、ポリプロピレン、E V A 等）、エポキシ系樹脂、フッ素系樹脂、カルボキシル基含有アクリル系樹脂などの熱融着樹脂のうち 1 種又は 2 種以上を混合して用いることができる。また、熱融着シート 3 0 の厚みは $0.1\ \mu\text{m} \sim 100\ \mu\text{m}$ 程度、更に好ましくは $1\ \mu\text{m} \sim 50\ \mu\text{m}$ 程度とする。この熱融着シート 3 0 を絶縁膜 1 4 上に設ける方法は特に限定されず、例えば、仮転写基板に合わせて裁断した熱融着シートを絶縁膜 1 4 上に載置し、加熱しながら押圧する等の方法を採用することが可能である。なお、この時点で熱融着シート 3 0 を絶縁膜 1 4 上に設けず、後述する第 2 基板（最終基板）を被転写層 2 4 上に載置する時点で当該シートを挿入するようにしてもよい。

【 0 0 5 5 】

（第 2 の接合工程）

次に、図 4（a）に示すように、仮転写基板 2 6 の熱融着シート 3 0 上に、半導体素子を含む被転写層 2 4 が転写されるべき第 2 基板（転写先基板）3 2 を載置し、仮転写基板 2 6 側から光照射を行い、絶縁膜 1 4 及び被転写層 2 4 を第 2 基板 3 2 に接合する。

【 0 0 5 6 】

ここで、使用する光は、多層膜 2 8 の光吸収層 2 8 c が光照射を受けて発熱し、その熱によって熱融着シート 3 0 による融着を生じさせることができればよく、例えば、X 線、紫外線、可視光線、赤外線（熱線）、レーザ光、ミリ波、マイクロ波、電子線、放射線（ α 線、 β 線、 γ 線）等が挙げられ、特にレーザ光が好

ましい。レーザ光としては、上記第1の剥離工程において説明したものと同種のものを用いてもよく、異なる種類のレーザ光を用いてもよい。このようなレーザ光を照射することにより、当該光照射を受けた光吸収層28cで発生した熱が熱融着シート30に伝えられ、被転写層24を支持する絶縁膜14が熱融着接着層（一旦融解し固化した熱融着シート30）を介して第2基板32に接着される。

【0057】

上述した第2基板32としては、ある程度の剛性（強度）を有するものが好ましいが、可撓性、弾性を有するものであってもよい。このような構成材料としては、例えば各種合成樹脂又は各種ガラス材が挙げられ、特に、通常の（低融点の）安価なガラス材が好ましい。合成樹脂としては、熱可塑性樹脂、熱硬化性樹脂のいずれでもよく、例えば、ポリエチレンやポリプロピレンなど各種のものが挙げられる。また、ガラス材としては、例えば、石英ガラス（ケイ酸ガラス）、ケイ酸アルカリガラス、ソーダ石灰ガラスなど各種のものが挙げられる。このうち、ケイ酸ガラス以外のものは、ケイ酸ガラスに比べて融点が低く、また成形、加工も比較的容易であり、しかも安価であるため特に好適である。

【0058】

第2基板32として、合成樹脂で構成されたものを用いる場合には、大型の基板を一体的に成形することや、湾曲面や凹凸等の複雑な形状を有する基板を成形することが容易であり、また材料コスト、製造コストともに低いという利点がある。したがって、合成樹脂の使用は、大型で安価なデバイス（例えば、液晶ディスプレイやELディスプレイ等）を製造する上で有利である。

【0059】

なお、第2基板32は、例えば、液晶セルのようにそれ自体が独立したデバイスを構成するものや、例えばカラーフィルタ、電極層、誘電体層、絶縁層、半導体素子のように、デバイスの一部を構成するものであってもよい。さらに、第2基板32は、金属、セラミックス、石材、木材、紙等の物質であってもよいし、ある物品を構成する任意の面上（例えば、時計の面上、エアコンの表面上、プリント基板の上等）や、壁、柱、天井、窓ガラス等の構造物の表面上であってもよい。

【0060】**(第2の離脱工程)**

次に、図4 (b) に示すように、仮転写基板26と第2基板32に、双方を離間させる方向に力を加えることによって、仮転写基板26を第2基板32から離脱させる。これにより、図4 (c) に示すように、第2基板32上に、複数の半導体素子を含んでなる被転写層24とこれを支持する絶縁膜14が転写される。

【0061】

このように、本実施形態では、第1基板については、結晶性半導体膜の成膜やその後の素子形成に都合のよい条件(形状、大きさ、物理的特性等)を備えた基板を用いることができるので、当該第1基板上に微細かつ高性能な半導体素子を形成することが可能となる。また、第2基板については、素子形成プロセス上の制約を受けることがなく、大面積化が可能となると共に、合成樹脂やソーダガラス等からなる安価な基板や可撓性を有するプラスチックフィルム等、幅広い選択肢から所望のものをを用いることが可能となる。したがって、微細かつ高性能な薄膜半導体素子を大面積の基板に容易に(低コストに)形成することが可能となる。

【0062】

また、本実施形態では、仮転写基板を介して2回の素子転写を行っており、第1基板上に形成された半導体素子の構造的な上下関係が第2基板上に再現されるので、素子構造の設計や製造プロセスに関して、従来の手法をほぼ変更なく使用することが可能となり都合がよい。

【0063】

なお、仮転写基板26を介さず、第1基板10から第2基板32に直接的に半導体素子(被転写層)の転写を行うようにしてもよい。図6は、この場合の製造方法について説明する図である。上記素子形成工程と同様にして半導体素子を含む被転写層24を形成した後、図6 (a) に示すように、被転写層24の上側に熱融着シート30を貼り付ける。次に、図6 (b) に示すように熱融着シート30上に被転写層24が転写されるべき第2基板32を載置し、第2基板32側から光照射を行い、被転写層24を第2基板32に接合する。次に、図6 (c)

に示すように、第1基板10と第2基板32との接合体に対して、第1基板10の裏面側から剥離層12の全面に光照射によるエネルギー付与を行い、剥離層12の層内及び／又は界面に剥離を生じさせる。剥離層12に剥離を生じさせることにより、被転写層24が剥離層12から切り離されて、第2基板32上に転写される。この製造方法では、被転写層24に含まれる半導体素子の上下関係が、第1基板10上と第2基板32上に逆転した関係となるが、工程を簡略化することが可能となる利点がある。

【0064】

<第2の実施形態>

上述した第1の実施形態では、複数の半導体素子或いは当該半導体素子を組み合わせ構成される単位回路を含む被転写層を一括して第2基板上に転写していたが、被転写層に含まれる個々の半導体素子や単位回路等を部分的に（選択的に）転写することも好適である。以下、その場合の製造方法について説明する。

【0065】

図7及び図8は、第2の実施形態の半導体装置の製造方法を説明する図である。まず、上述した第1の実施形態と同様にして、剥離層形成工程、絶縁膜形成工程、微細孔形成工程、成膜工程、溶融結晶化工程、素子形成工程のそれぞれを行い、図7（a）に示すように、第1基板10上に被転写層24を得る。

【0066】

（分割工程）

次に、図7（b）に示すように、第1基板10上に形成された被転写層24及び絶縁膜14を分割する。このとき、被転写層24は、後に選択的な素子転写を行う際の都合に合わせて、個々の半導体素子毎、所望数の半導体素子を含む領域毎、単位回路毎、単位回路を複数含む機能領域毎など、種々の形態で分割される。例えば、上述した各結晶性半導体膜20のそれぞれ毎に分割することも好ましい。この場合には、上述した結晶粒界22（図5参照）に沿ってエッチングを行うことが好適である。これは、当該結晶粒界22及びその近傍は半導体膜としての特性に劣るため、本実施形態では当該領域の半導体膜を半導体素子の形成に用いないためである。所望単位毎に分割された後の被転写層24と絶縁膜14

の接合体を以後、被転写体 40 と呼ぶ。

【0067】

また、上記分割工程では、各々の被転写体 40 の直下の剥離層 12 が島状に残るようにエッチング処理を行っても良い。更には、当該エッチング処理を行う際には、図 7 (c) に示すように剥離層 12 の被転写体 40 への接着面積が被転写体 40 の全面積よりも小さくなるようにオーバーエッチングとすることも好適である。これにより、剥離層 12 により確実に剥離を生じさせることができると共に、剥離層 12 への光照射に必要なエネルギーを低減することが可能となる。

【0068】

(第 1 の接合工程)

次に、図 7 (d) に示すように、保護層 28 a、光吸収層 28 b 及び接着層 28 c を積層してなる多層膜 28 が形成された仮転写基板 26 に第 1 基板 10 を重ね合わせ、第 1 基板 10 上に形成した被転写体 40 の全てを接着層 28 c を介して仮転写基板 26 に接合する。なお、当該工程における好適な製造条件は、上述した第 1 の実施形態の場合と同様であり、ここでは説明を省略する。

【0069】

(第 1 の剥離工程)

次に、第 1 基板 10 と仮転写基板 26 との接合体に対して、第 1 基板 10 の裏面側から剥離層 12 の全面に光照射によるエネルギー付与を行い、剥離層 12 の層内及び／又は界面に剥離を生じさせる。剥離層 12 に剥離を生じさせることにより、被転写体 40 が剥離層 12 から切り離されて第 2 基板 26 上にのみ接合された状態となる。なお、当該工程における好適な製造条件についても上述した第 1 の実施形態の場合と同様である。

【0070】

(第 1 の離脱工程)

次に、図 7 (e) に示すように、第 1 基板 10 を仮転写基板 26 から離脱させる。その後、被転写体 40 上に熱融着接着剤を含む熱融着シート 30 を貼り付ける。なお、当該工程における好適な製造条件についても上述した第 1 の実施形態の場合と同様である。

【0071】**(第2の接合工程)**

次に、図8(a)に示すように、仮転写基板26の熱融着シート30上に、半導体素子を含む被転写体40が転写されるべき第2基板32を載置し、図8(b)に示すように、仮転写基板26側から転写するべき被転写層40の領域のみに選択的に光照射を行い、転写するべき被転写体40のみを第2基板32に接合する。なお、当該工程における好適な製造条件についても上述した第1の実施形態の場合と同様である。

【0072】**(第2の離脱工程)**

次に、仮転写基板26と第2基板32に、双方を離間させる方向に力を加えることによって、仮転写基板26を第2基板32から離脱させる。これにより、図8(c)に示すように、第2基板32上の所望位置に被転写体40が転写される。

【0073】

一方、仮転写基板26には、転写されなかった被転写体40が残存する。その後、上記第2の接合工程及び第2の離脱工程を繰り返すことにより、第2基板32上の他の位置または別の第2基板32上の所望位置に、被転写体40を転写することができる。例えば、電気光学装置（液晶表示装置やEL表示装置等）に用いられるアクティブマトリクス基板の製造に本実施形態の製造方法を適用した場合には、基板上の多数の画素毎にTFT等の微小な半導体素子を効率よく分散配置することが可能となり、特に、大型の電気光学装置を製造する場合に好適である。

【0074】

以上のような各工程を経て、多数の被転写体40を第2基板32上に選択的に転写することができる。その後、被転写体40に含まれる各半導体素子或いは単位回路等は、インクジェットコーティング法など各種の方法を用いて形成される配線を介して、素子相互間の接続や第2基板32上に予め設けられる配線との相互間の接続が図られる。

【0 0 7 5】

このように、本実施形態の製造方法は、上記第 1 の実施形態と同様の作用効果に加えて、選択的な素子転写の採用により第 1 基板上に集中的に（高密度に）形成した半導体素子のそれぞれを第 2 基板上の所望位置へ分散して転写することが可能となる。したがって、素子製造時における面積効率を大幅に向上し、製造コストの低減が可能となる。

【0 0 7 6】

なお、仮転写基板 2 6 を介さず、第 1 基板 1 0 から第 2 基板 3 2 に直接的に半導体素子（被転写体）の転写を行うようにしてもよい。図 9 は、この場合の製造方法について説明する図である。上記素子形成工程と同様にして半導体素子を含む被転写体 4 0 を形成した後に、図 9（a）に示すように、熱融着シート 3 0 を介して被転写体 4 0 を第 2 基板 3 2 に接合する。次に、図 9（b）に示すように、第 1 基板 1 0 と第 2 基板 3 2 との接合体に対して、第 1 基板 1 0 の裏面側から剥離層 1 2 に対して選択的に光照射によるエネルギー付与を行い、転写すべき被転写体 4 0 に対応する領域の剥離層 1 2 の層内及び／又は界面に剥離を生じさせる。これにより、図 9（c）に示すように、所望の被転写体 4 0 が剥離層 1 2 から切り離されて第 2 基板 3 2 上に転写される。この製造方法では、被転写体 4 0 に含まれる半導体素子の上下関係が、第 1 基板 1 0 上と第 2 基板 3 2 上に逆転した関係となるが、工程を簡略化することが可能となる利点がある。

【0 0 7 7】

<第 3 の実施形態>

本発明の第 3 の実施形態は、本発明の半導体装置の製造方法によって製造される半導体装置等を備えた電気光学装置に関する。電気光学装置の一例として、有機 EL（エレクトロルミネッセンス）表示装置を挙げる。

【0 0 7 8】

図 1 0 は、第 3 の実施形態における電気光学装置 1 0 0 の構成を説明する図である。本実施形態の電気光学装置（表示装置）1 0 0 は、基板上に薄膜トランジスタ T 1 ～ T 4 を含む画素駆動回路をマトリクス状に配置してなる回路基板（アクティブマトリクス基板）と、画素駆動回路により駆動されて発光する発光層 O

E L Dと、各薄膜トランジスタ T 1 ~ T 4 を含んでなる画素駆動回路に駆動信号を供給するドライバ 1 0 1 及び 1 0 2 を含んで構成されている。ドライバ 1 0 1 は、走査線 Vsel 及び発光制御線 Vgp を介して各画素領域に駆動信号を供給する。ドライバ 1 0 2 は、データ線 I data および電源線 Vdd を介して各画素領域に駆動信号を供給する。走査線 Vsel とデータ線 I data とを制御することにより、各画素領域に対する電流プログラムが行われ、発光層 O E L D による発光が制御可能になっている。画素駆動回路を構成する各薄膜トランジスタ T 1 ~ T 4 及びドライバ 1 0 1、1 0 2 は、上述した第 1 又は第 2 の実施形態の製造方法を適用して形成される。

【0079】

なお、電気光学装置の一例として有機 E L 表示装置について説明したが、これ以外にも、液晶表示装置など各種の電気光学装置についても同様にして製造することが可能である。

【0080】

次に、本発明に係る電気光学装置 1 0 0 を適用して構成される種々の電子機器について説明する。図 1 1 は、電気光学装置 1 0 0 を適用可能な電子機器の例を示す図である。図 1 1 (a) は携帯電話への適用例であり、当該携帯電話 2 3 0 はアンテナ部 2 3 1、音声出力部 2 3 2、音声入力部 2 3 3、操作部 2 3 4、および本発明の電気光学装置 1 0 0 を備えている。このように本発明に係る電気光学装置は表示部として利用可能である。図 1 1 は (b) ビデオカメラへの適用例であり、当該ビデオカメラ 2 4 0 は受像部 2 4 1、操作部 2 4 2、音声入力部 2 4 3、および本発明の電気光学装置 1 0 0 を備えている。このように本発明に係る電気光学装置はファインダや表示部として利用可能である。図 1 1 (c) は携帯型パーソナルコンピュータ（いわゆる P D A）への適用例であり、当該コンピュータ 2 5 0 はカメラ部 2 5 1、操作部 2 5 2、および本発明に係る電気光学装置 1 0 0 を備えている。このように本発明に係る電気光学装置は表示部として利用可能である。

【0081】

図 1 1 (d) はヘッドマウントディスプレイへの適用例であり、当該ヘッドマ

ウントディスプレイ 260 はバンド 261、光学系収納部 262 および本発明に係る電気光学装置 100 を備えている。このように本発明に係る電気光学装置は画像表示源として利用可能である。図 11 (e) はリア型プロジェクターへの適用例であり、当該プロジェクター 270 は筐体 271 に、光源 272、合成光学系 273、ミラー 274、275、スクリーン 276、および本発明に係る電気光学装置 100 を備えている。このように本発明に係る電気光学装置は画像表示源として利用可能である。図 11 (f) はフロント型プロジェクターへの適用例であり、当該プロジェクター 280 は筐体 282 に光学系 281 および本発明に係る電気光学装置 100 を備え、画像をスクリーン 283 に表示可能になっている。このように本発明に係る電気光学装置は画像表示源として利用可能である。また、本発明に係る電気光学装置 100 は、上述した例に限らず有機 EL 表示装置や液晶表示装置などの表示装置を適用可能なあらゆる電子機器に適用可能である。例えばこれらの他に、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型 TV、電子手帳、電光掲示盤、宣伝広告用ディスプレイなどにも活用することができる。

【0082】

<第 4 の実施形態>

上述した各実施形態にかかる製造方法は、電気光学装置の製造以外にも種々のデバイスの製造に適用することが可能である。例えば、FeRAM (ferroelectric RAM)、SRAM、DRAM、NOR 型 RAM、NAND 型 RAM、浮遊ゲート型不揮発メモリ、マグネティック RAM (MRAM) など各種のメモリの製造が可能である。また、マイクロ波を用いた非接触型の通信システムにおいて、微小な回路チップ (IC チップ) を搭載した安価なタグを製造する場合にも適用が可能である。

【0083】

なお、本発明は上述した各実施形態の内容に限定されることなく、本発明の要旨の範囲内で種々に変形、変更実施が可能である。例えば、上述した実施形態では、半導体膜の一例として珪素膜を採り上げて説明していたが、半導体膜はこれに限定されるものではない。また、上述した実施形態では、本発明に係る結晶性

半導体膜を用いて形成される半導体素子の一例として薄膜トランジスタを採り上げて説明していたが、半導体素子はこれに限定されるものではなく、他の素子（例えば、薄膜ダイオード等）を形成してもよい。

【図面の簡単な説明】

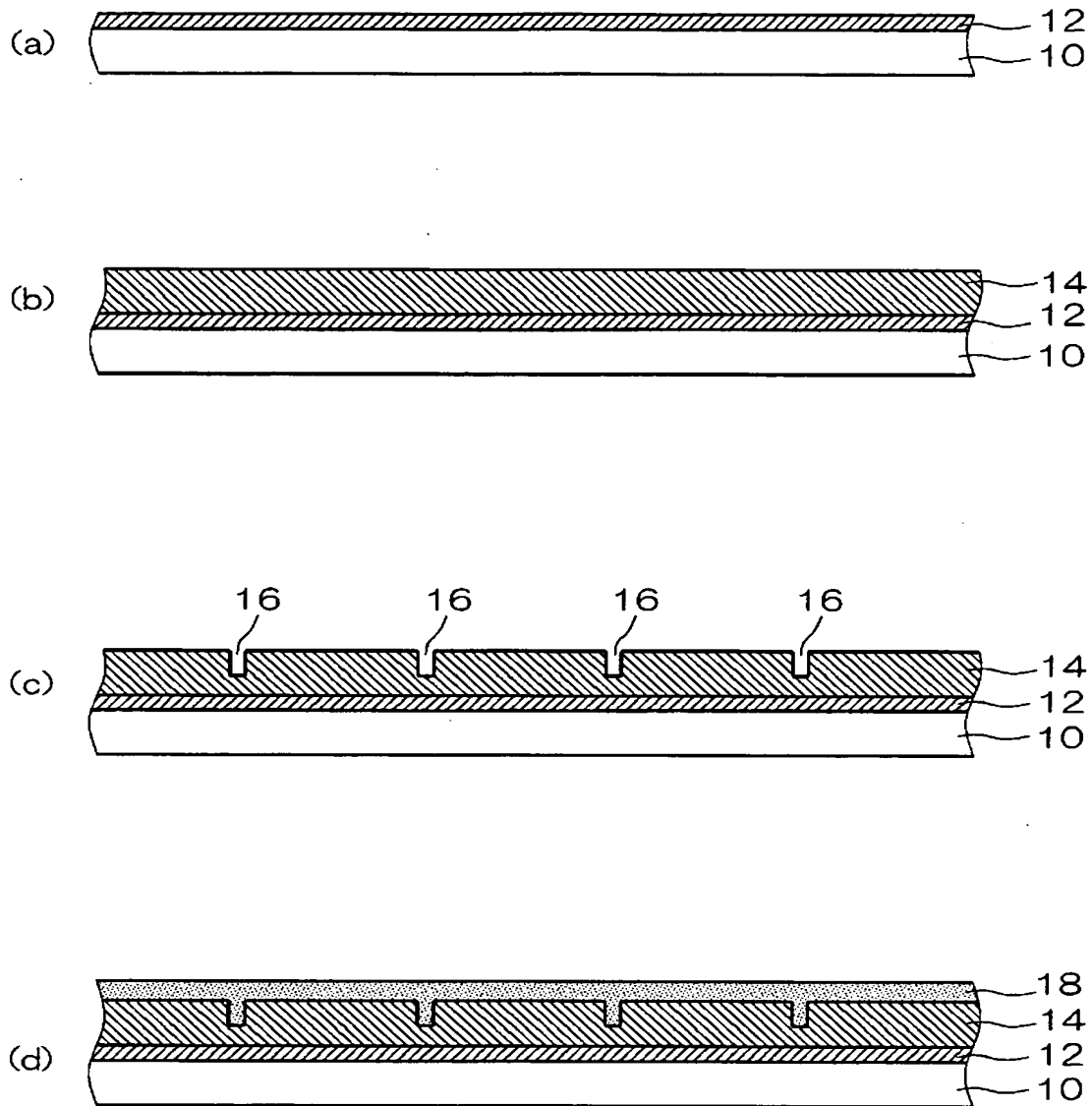
- 【図 1】 第 1 の実施形態の半導体装置の製造方法を説明する図である。
- 【図 2】 第 1 の実施形態の半導体装置の製造方法を説明する図である。
- 【図 3】 第 1 の実施形態の半導体装置の製造方法を説明する図である。
- 【図 4】 第 1 の実施形態の半導体装置の製造方法を説明する図である。
- 【図 5】 結晶性半導体膜を上面側から見た平面図である。
- 【図 6】 第 1 の実施形態の変形例の製造方法を説明する図である。
- 【図 7】 第 2 の実施形態の半導体装置の製造方法を説明する図である。
- 【図 8】 第 2 の実施形態の半導体装置の製造方法を説明する図である。
- 【図 9】 第 2 の実施形態の変形例の製造方法を説明する図である。
- 【図 10】 第 3 の実施形態における電気光学装置の構成を説明する図である。
- 【図 11】 電気光学装置を適用可能な電子機器の例を示す図である。

【符号の説明】

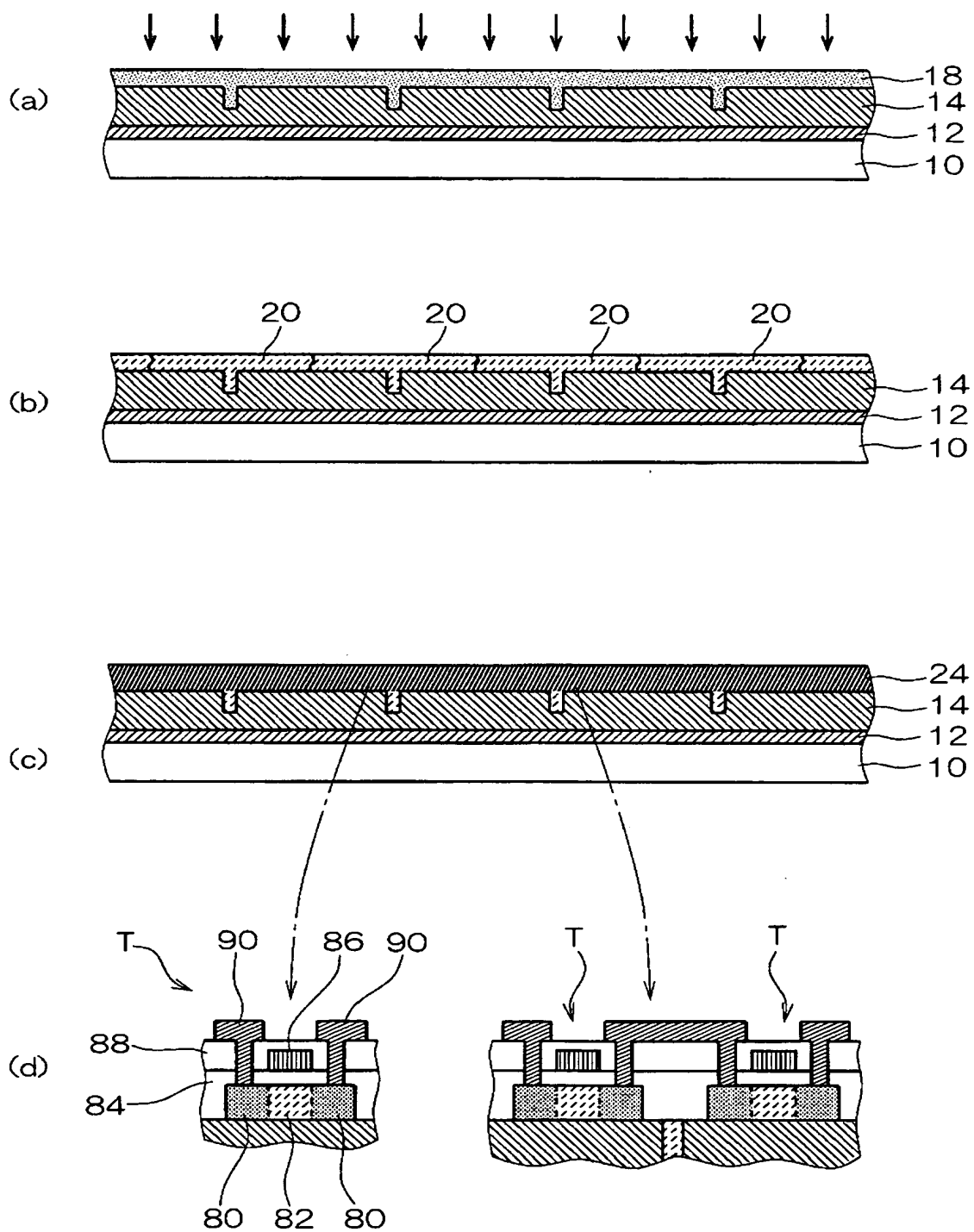
10…第 1 基板、 12…剥離層、 14…絶縁膜、 16…微細孔、 18…半導体膜、 20…結晶性半導体膜、 22…結晶粒界、 24…被転写層、 26…仮転写基板、 28…多層膜、 30…熱融着シート、 32…第 2 基板、 40…被転写体、 T…薄膜トランジスタ

【書類名】 図面

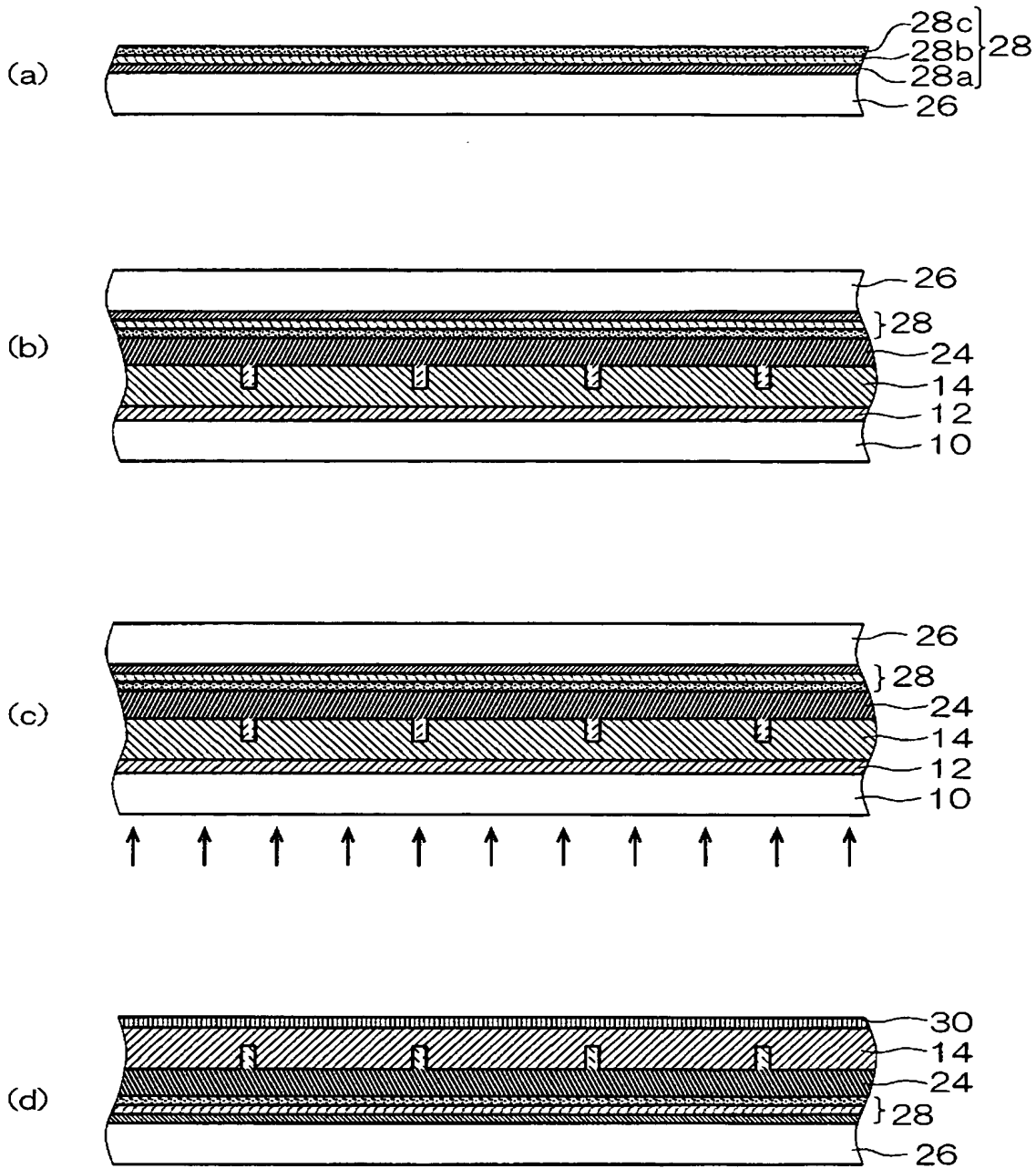
【図 1】



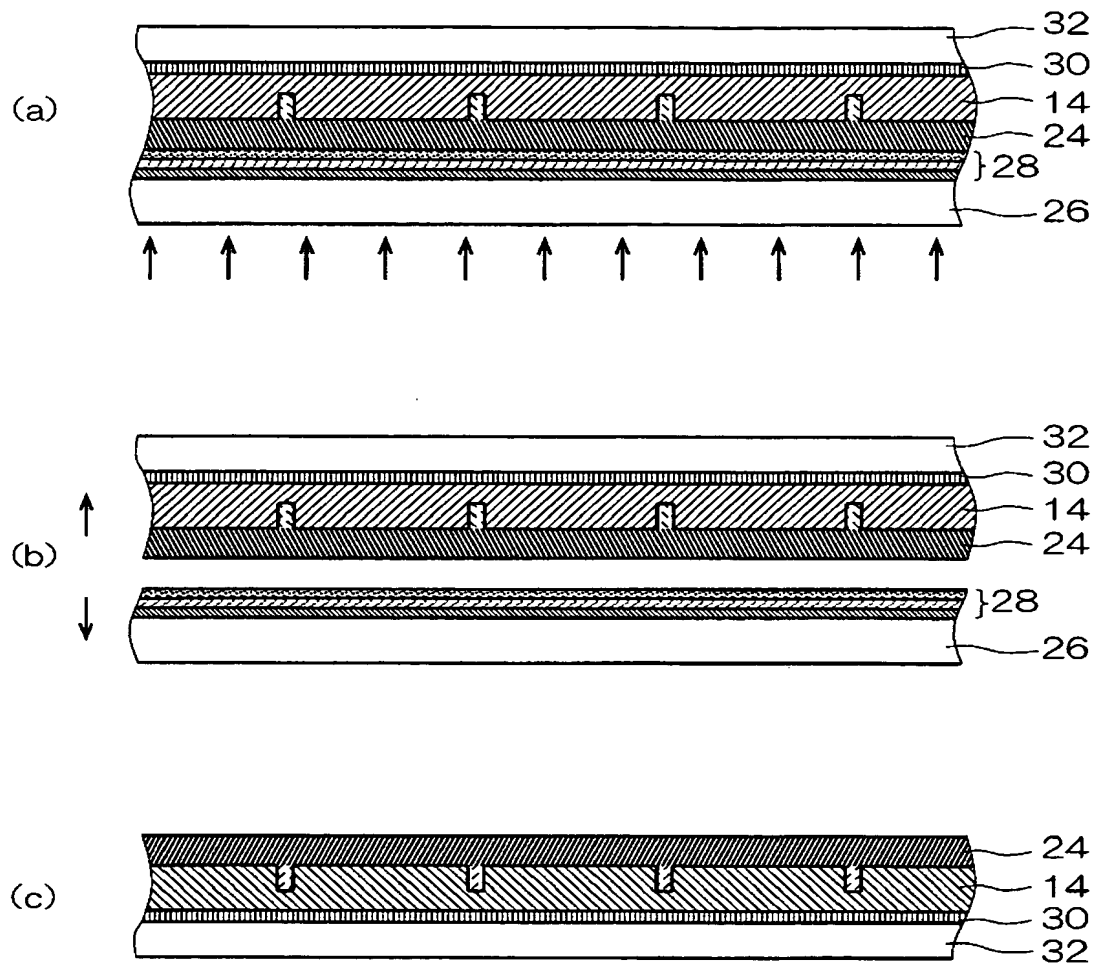
【図 2】



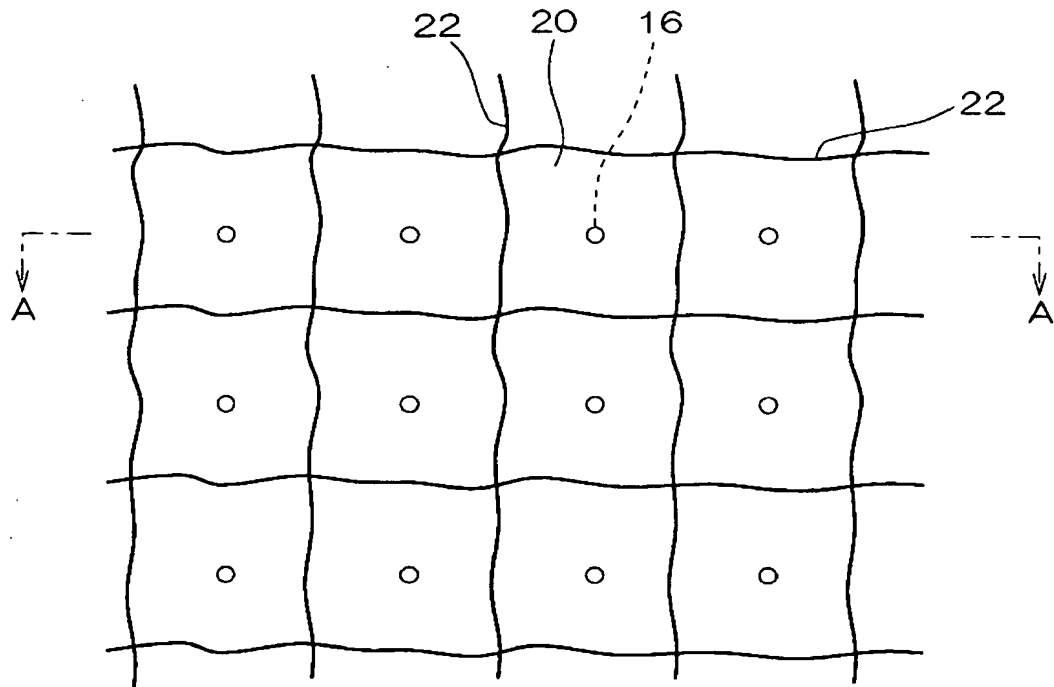
【図 3】



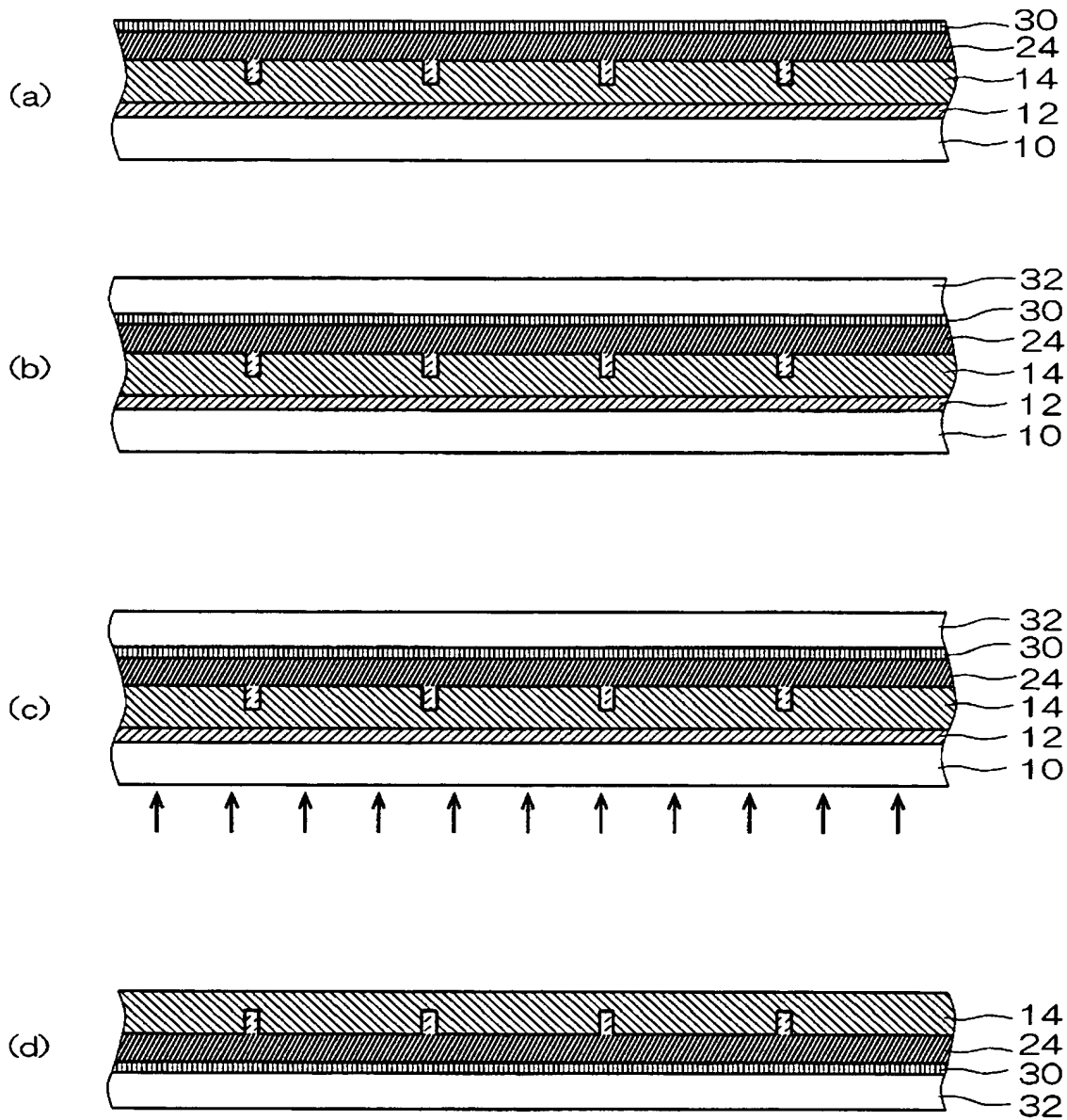
【図 4】



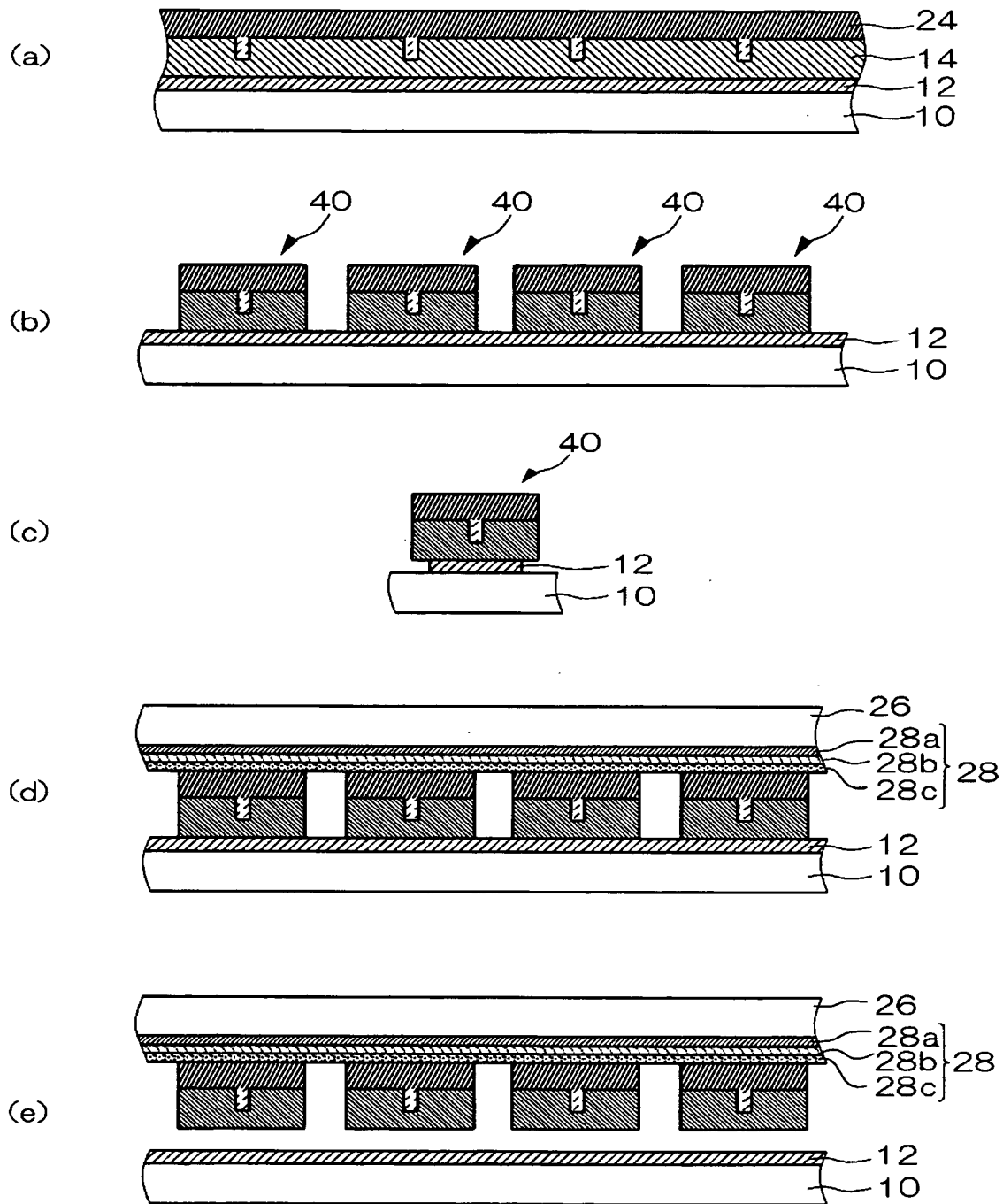
【図 5】



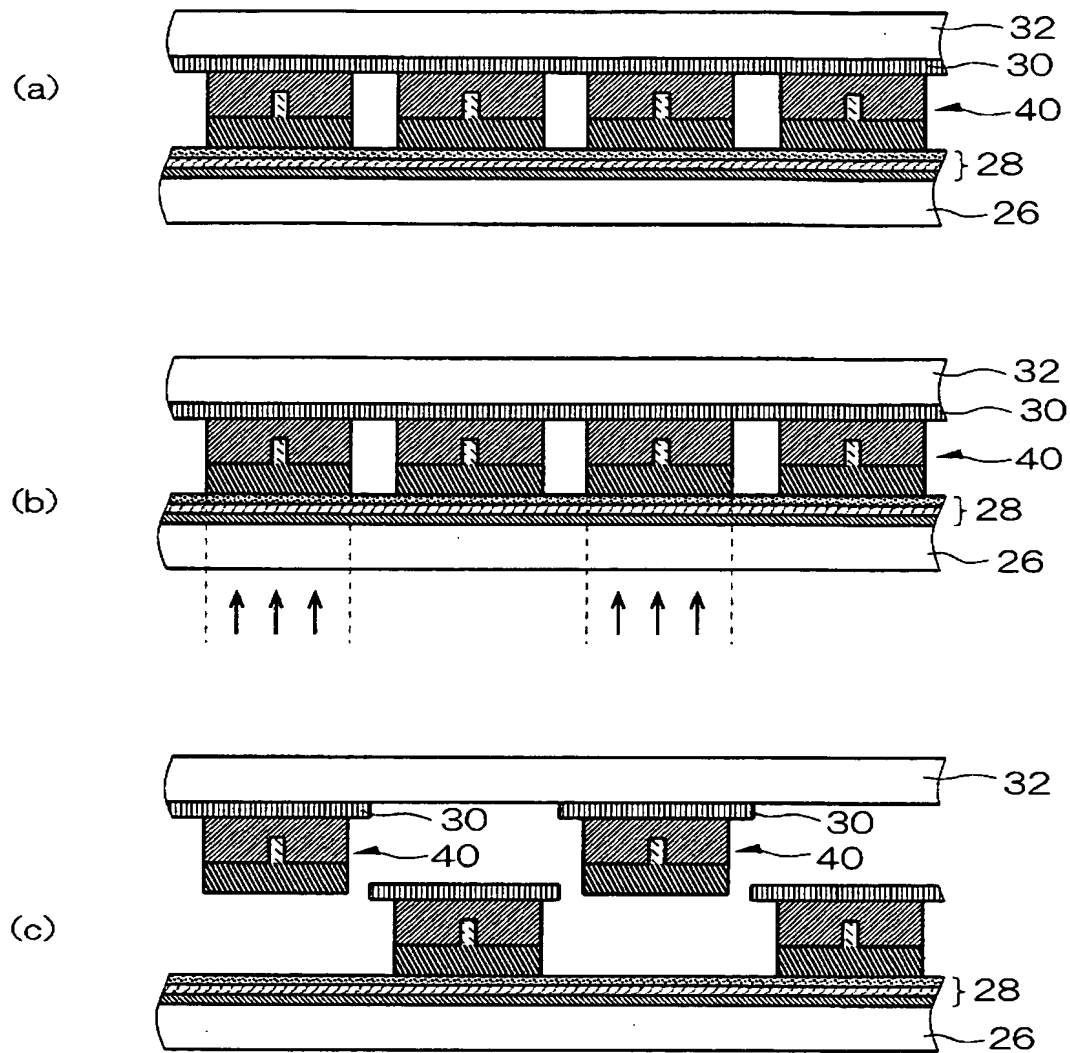
【図 6】



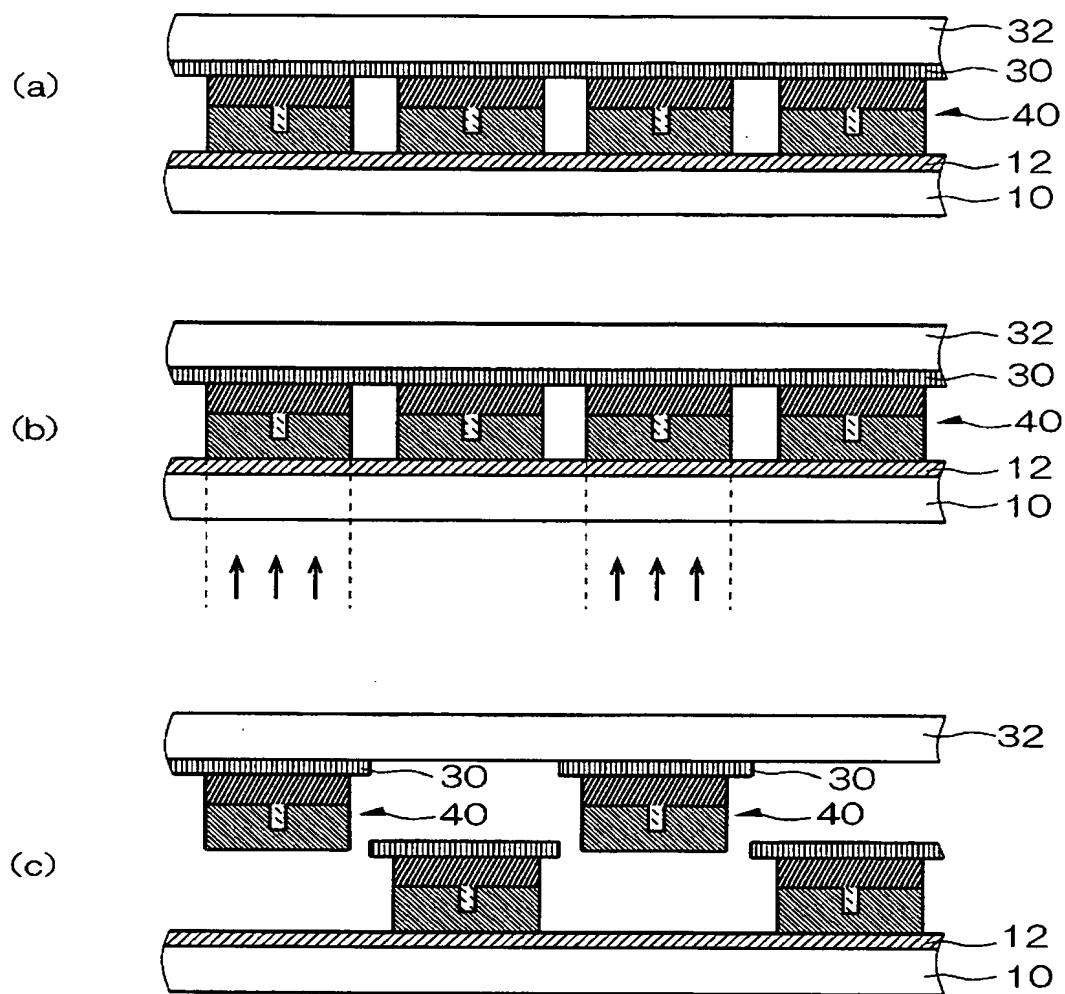
【図 7】



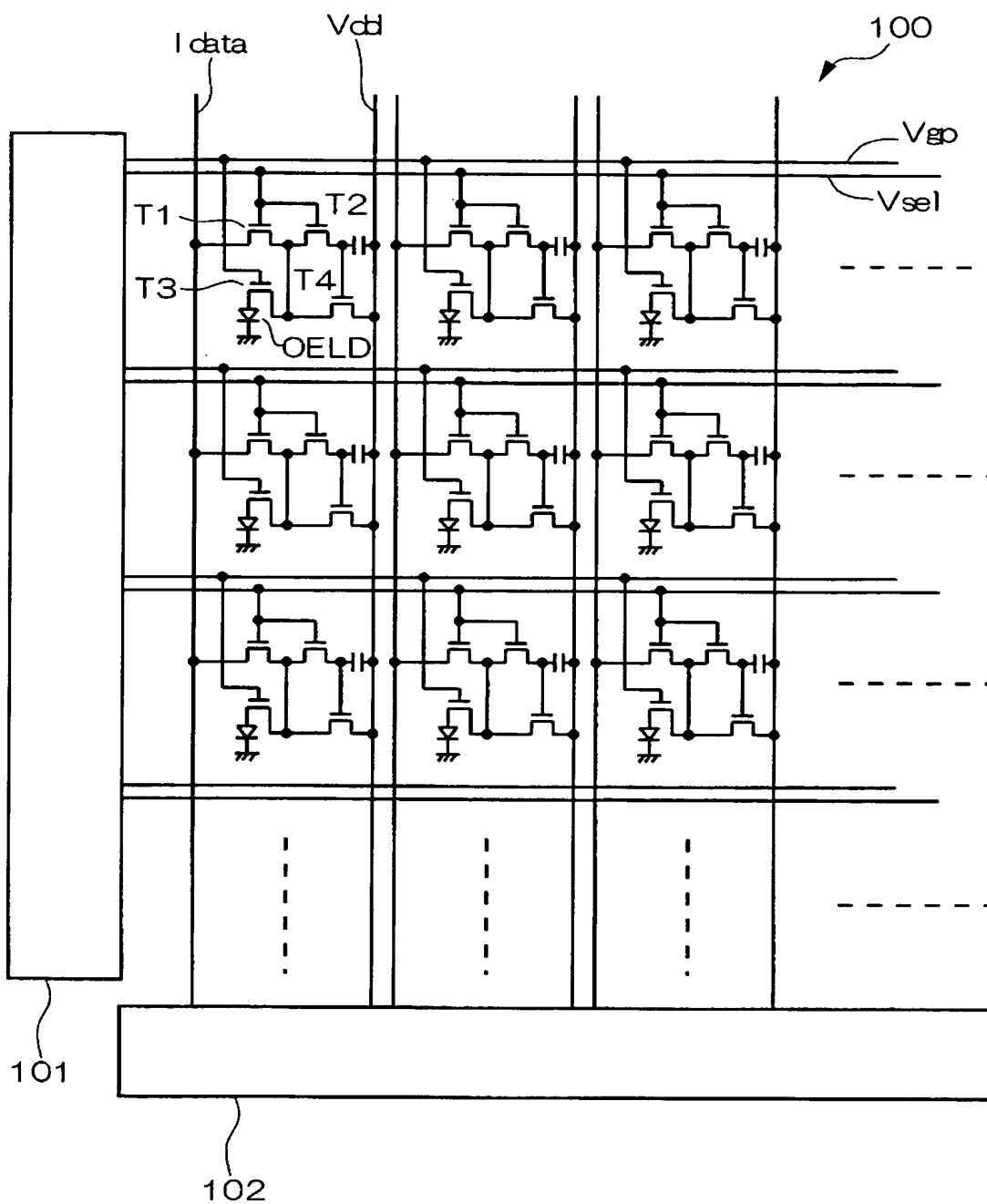
【図 8】



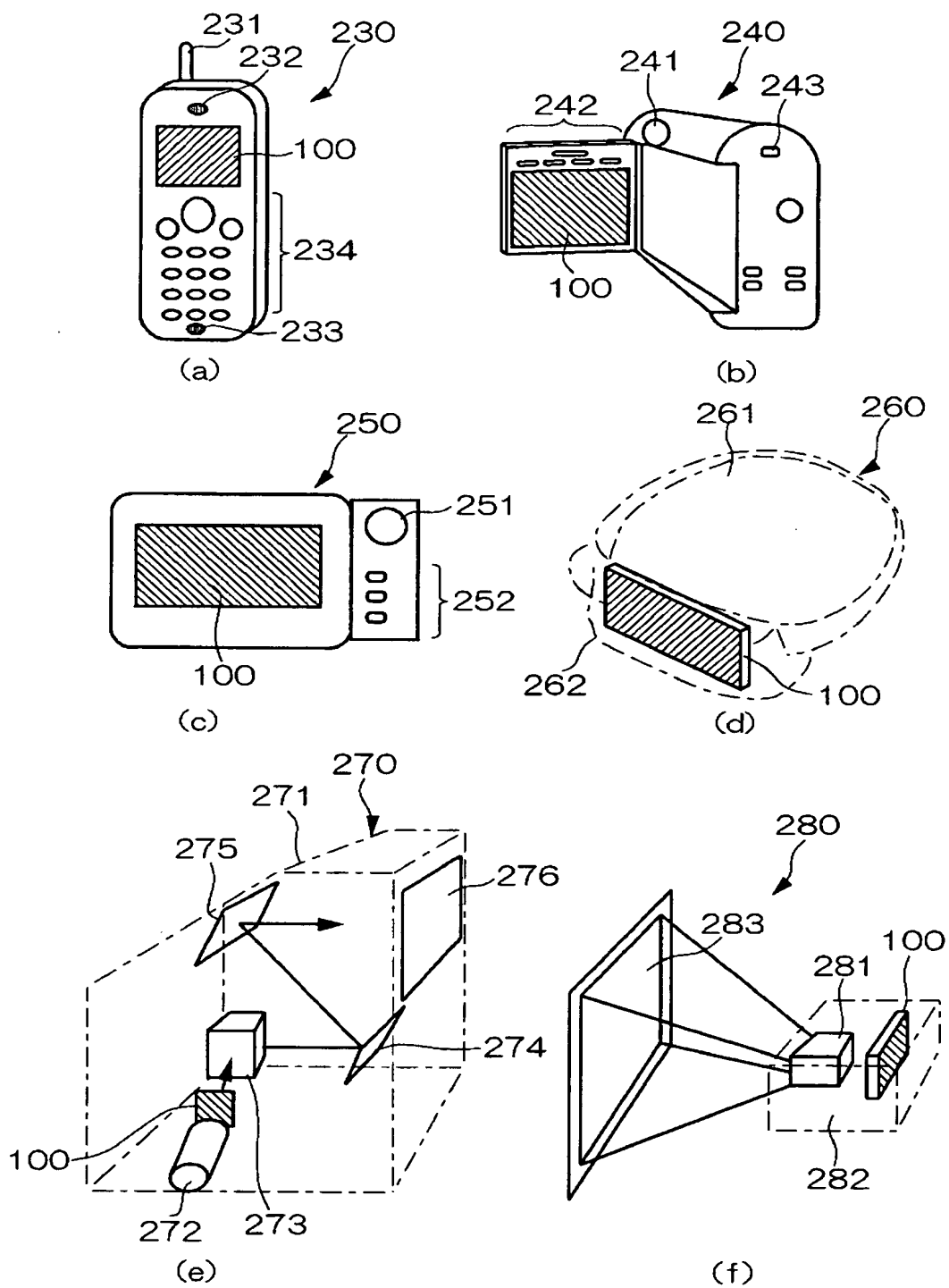
【図 9】



【図 10】



【図 11】





【書類名】 要約書

【要約】

【課題】 微細かつ高性能な薄膜半導体素子を大面積の基板に容易に形成することを可能とする技術を提供すること。

【解決手段】 第 1 基板(10)上に剥離層(12)を形成する剥離層形成工程と、剥離層(12)上に絶縁膜(14)を形成する絶縁膜形成工程と、絶縁膜(14)に複数の微細孔(16)を形成する微細孔形成工程と、絶縁膜(14)上及び微細孔(16)内に半導体膜(18)を形成する成膜工程と、半導体膜(18)を熱処理によって熔融結晶化させて、微細孔(16)のそれぞれを略中心とする略単結晶の結晶粒を含んでなる結晶性半導体膜(20)を形成する結晶化工程と、結晶性半導体膜(20)のそれぞれを用いて半導体素子(T)を形成する素子形成工程と、剥離層(12)の層内及び／又は界面において剥離を生じさせて、半導体素子(T)を第 1 基板(10)から離脱させ、半導体素子を第 2 基板へ転写する転写工程と、を含む。

【選択図】 図 2



認定・付加情報

| | |
|---------|--------------------------|
| 特許出願の番号 | 特願 2 0 0 3 - 1 0 7 0 7 1 |
| 受付番号 | 5 0 3 0 0 5 9 8 3 6 2 |
| 書類名 | 特許願 |
| 担当官 | 第五担当上席 0 0 9 4 |
| 作成日 | 平成 1 5 年 4 月 1 1 日 |

< 認定情報・付加情報 >

【提出日】 平成15年 4月10日

次頁無

特願 2 0 0 3 - 1 0 7 0 7 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社